

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 02271567
PUBLICATION DATE : 06-11-90

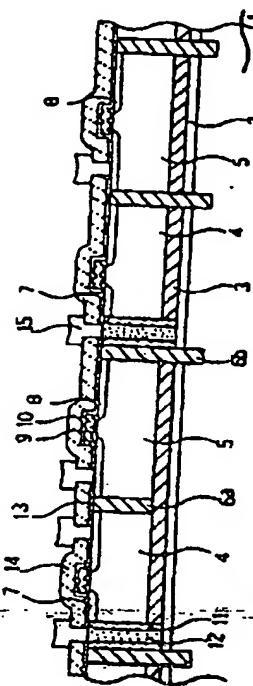
APPLICATION DATE : 12-04-89
APPLICATION NUMBER : 01092733

APPLICANT : SHIRATO TAKEHIDE;

INVENTOR : SHIRATO TAKEHIDE;

INT.CL. : H01L 27/08 H01L 21/76 H01L 27/04
H01L 27/12

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To enable formation and high integration of an analog circuit which is not influenced by the noises arising in a digital circuit by providing the element isolating region of a first conductor substrate in self alignment at one part of the element isolating region of a second semiconductor substrate.

CONSTITUTION: A transistor, a resistor, etc., which constitute digital and analog circuits, are provided on the topside of a second semiconductor substrate 4, and an impurity region 2, which constitute capacity required for analog circuits, is provided on the topside of a first semiconductor substrate 1. And the second semiconductor substrate 4 is stuck onto the first semiconductor substrate 1 through an insulating film 3, and the element isolating region of the first semiconductor substrate 1 is provided in self alignment at one part each of the element isolating regions 6a and 6b of the second semiconductor substrate 4. Hereby, the digital circuit and the analog circuit can be separated easily, so the analog circuit which is not influenced by the effect of noise can be constituted. Moreover, capacity required for analog circuit constitution can be formed in other substrate and further under the transistor, the resistance, etc., so high integration can be made possible.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報 (A)

平2-271567

⑬ Int.Cl.⁵

H 01 L 27/08
21/76
27/04
27/12

識別記号

331 E
D
C

府内整理番号

7735-5F
7638-5F
7514-5F
7514-5F

⑭ 公開 平成2年(1990)11月6日

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 半導体装置

⑯ 特願 平1-92733

⑰ 出願 平1(1989)4月12日

⑱ 発明者 白土 猛英 神奈川県平塚市浅間町6番26号

⑲ 出願人 白土 猛英 神奈川県平塚市浅間町6番26号

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 第1の半導体基板上に絶縁膜を介して第2の半導体基板が貼り合せられている半導体装置であって、前記第1及び第2の半導体基板の上面にそれぞれ素子又は素子の一部が形成され、且つ少なくとも前記第2の半導体基板に形成された素子分離領域の一部により前記第1の半導体基板の素子分離領域が確定されていることを特徴とする半導体装置。

(2) 前記素子分離領域は半導体基板に開孔されたトレンチ及び前記トレンチを埋め込んだ絶縁膜とにより形成されたことを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔概要〕

第2の半導体基板の上面にデジタル及びアナログ回路を構成するトランジスタ、抵抗等が設けられ、一方、第1の半導体基板の上面にはアナログ回路に必要な容量を構成する不純物領域が設けられ、且つ前記第2の半導体基板が絶縁膜を介して第1の半導体基板上に貼り合せられ、さらに第2の半導体基板の素子分離領域の一部にセルフアラインに第1の半導体基板の素子分離領域が設けられる構造に形成されているため、デジタル回路とアナログ回路の容易な分離ができるることによりデジタル回路で発生するノイズの影響を受けないアナログ回路の形成を、又、アナログ回路構成に必要な容量を別の基板に、しかも素子領域下に形成できることによる高集積化を、さらにすべての素子を低濃度のシリコン基板上に、しかもSOIで形成できることによる高速化及び高信頼性を可能とした半導体装置。

[産業上の利用分野]

本発明はM I S型半導体装置に係り、特に、高集積な容量を必要とする半導体集積回路の形成を可能とした半導体装置に関する。

従来、高集積な容量を必要とする半導体集積回路においては、容量用絶縁膜の薄膜化が一般におこなわれているが、極めて薄膜化された今日、絶縁膜の耐圧、リード特性等の物性面から限界が近づきつつあり、さらなる薄膜化は難しい。又、トレンチ型容量あるいは素子領域上のスタック型容量を使用する方法では、比較的小面積で容量を形成できるが、精度及びノイズ特性上の問題があり、アナログ回路では使用が難しい。精度がよく、ノイズの影響を受けにくい容量を形成するため、素子形成領域を避け不活性のフィールド領域上に形成することから、極めて大面積が必要とされ、他の素子（トランジスタ、抵抗等）に比較し、容量部が著しく大きくなり、高集積化への妨げになるという問題が顕著になってきている。そこで、精度がよく、ノイズに強く、高集積な容量を形成

できる手段が要望されている。

[従来の技術]

第4図は従来の半導体装置の模式側断面図であり、デジタル・アナログ混載C-MOS型半導体装置を示している。51はn-型シリコン(Si)基板、52aはデジタル部p-型ウエル領域、52bはアナログ部p-型ウエル領域、53はp型チャネルストッパー領域、54はn型チャネルストッパー領域、55はフィールド酸化膜、56a, 56bはn+型ソースドレイン領域、56cはn+型基板コンタクト領域（図示せず）、57a, 57bはp+型ソースドレイン領域、57cはデジタル部p+型ウエルコンタクト領域、57dはアナログ部p+型ウエルコンタクト領域、58はゲート酸化膜、59はゲート電極、60は容量部下層電極、61は容量用絶縁膜、62は容量部上層電極、63はブロック用酸化膜、64は焼珪酸ガラス PSG 膜、65はAI配線を示している。

同図においては、n-型シリコン(Si)基板51を使用し、選択的にデジタル部p-型ウエル領域

52a、アナログ部p-型ウエル領域52bを分けて設け、それぞれにNチャネルトランジスタを形成し、n-型シリコン(Si)基板51にデジタル及びアナログPチャネルトランジスタを形成しており、又、素子が形成されていないフィールド酸化膜上に二つの導電体（60, 62）間に絶縁膜61を挟んだ容量を形成している。異なるp-型ウエル領域（52a, 52b）によりデジタルグランドとアナロググランドを分けているため、一応アナログ回路部ではデジタル回路部で発生するノイズの影響を受けにくい回路構成をとっているが、両p-型ウエル領域（52a, 52b）共同一n-型シリコン(Si)基板51上に形成されているため完璧なノイズ改良にはなっていない。又、グランドをp-型ウエル領域として形成するためn-型シリコン(Si)基板を使用することが必要で、低濃度のp-型シリコン(Si)基板を使用することができないため高速化に難がある。さらに、容量部は素子が形成されていないフィールド酸化膜上に形成されているため集積度が上がっていない。

[発明が解決しようとする問題点]

本発明が解決しようとする問題点は、従来例に示されるように、デジタル回路部で発生するノイズの影響を受けないアナログ回路の形成ができなかったこと、低濃度p-型シリコン(Si)基板による高速なデジタル・アナログ混載集積回路の形成ができなかったこと及び高集積な容量を持つ集積回路の形成ができなかったことである。

[問題点を解決するための手段]

上記問題点は、第1の半導体基板上に絶縁膜を介して第2の半導体基板が貼り合せられている半導体装置であって、前記第1及び第2の半導体基板の上面にそれぞれ素子又は素子の一部が形成され、且つ少なくとも前記第2の半導体基板に形成された素子分離領域の一部により前記第1の半導体基板の素子分離領域が確定されている本発明の半導体装置によって解決される。

[作用]

即ち本発明の半導体装置においては、第2の半導体基板の上面にデジタル及びアナログ回路を構成するトランジスタ、抵抗等が設けられ、一方、第1の半導体基板の上面にはアナログ回路に必要な容量を構成する不純物領域が設けられ、且つ前記第2の半導体基板が絶縁膜を介して第1の半導体基板上に貼り合せられ、さらに第2の半導体基板の素子分離領域の一部にセルフアラインに第1の半導体基板の素子分離領域が設けられる構造に形成される。したがって、デジタル回路とアナログ回路を容易に分離できるため、デジタル回路で発生するノイズの影響を受けないアナログ回路を構成することが可能である。又、アナログ回路構成に必要とされる容量を別の基板に、しかもトランジスタ、抵抗等の下に形成できるため、高集積化も可能とすることができます。さらにトランジスタ、抵抗等をSOIで、しかも低濃度のシリコン基板上に形成できるため、高速化及び高信頼性をも可能にすることができます。即ち、極めて高性能

、高信頼且つ高集積な半導体集積回路の形成を可能とした半導体装置を得ることができる。

[実施例]

以下本発明を、図示実施例により具体的に説明する。第1図は本発明の半導体装置における第1の実施例の模式側断面図、第2図は本発明の半導体装置における第2の実施例の模式側断面図、第3図(a)～(e)は本発明の半導体装置における製造方法の一実施例の工程断面図である。

全図を通じ同一対象物は同一符号で示す。

第1図はp型シリコン基板を用いた際の本発明の半導体装置における第1の実施例の模式側断面図で、1は 10^{15} cm^{-3} 程度のp-型第1のシリコン(Si)基板、2は 10^{20} cm^{-3} 程度のn+型不純物領域、3は $1 \mu\text{m}$ 程度の酸化膜、4は 10^{15} cm^{-3} 程度のp-型第2のシリコン(Si)基板、5は 10^{16} cm^{-3} 程度のn-型ウエル領域、6a, 6bはトレンチ埋め込み酸化膜、7は 10^{20} cm^{-3} 程度のn+型ソースドレイン領域、8は 10^{20} cm^{-3} 程度のp+型ソースドレ

イン領域、9は 20 nm 程度のゲート酸化膜、10は 300 nm 程度のゲート電極、11は側壁絶縁膜(化学気相成長酸化膜)、12は埋め込み導電膜(選択化学気相成長タンクステン膜)、13は 50 nm 程度のプロック用酸化膜、14は $0.8 \mu\text{m}$ 程度の燐珪酸ガラス PSG 膜、15は $1 \mu\text{m}$ 程度のAI配線を示す。

同図において、上面にn+型不純物領域2が設けられたp-型第1のシリコン(Si)基板1上に酸化膜3を介してp-型第2のシリコン(Si)基板4が貼り合せられている。p-型第2のシリコン(Si)基板4には選択的に素子領域を分離するトレンチが設けられており、一部のトレンチはp-型第1のシリコン(Si)基板1上面に設けられたn+型不純物領域2をセルフアラインに分離している。すべてのトレンチはトレンチ埋め込み酸化膜(6a, 6b)により埋め込まれ平坦に形成されている。p-型第2のシリコン(Si)基板4の分離確定された素子領域にはそれぞれデジタル部及びアナログ部のNチャネルトランジスタが形成され、又、p-型第2のシリコン(Si)基板4に設けられた

n-型ウエル領域5の分離確定された素子領域にはそれぞれデジタル部及びアナログ部のPチャネルトランジスタが形成されている。N及びPチャネルトランジスタ下には酸化膜3で絶縁されたn+型不純物領域2とp-型第1のシリコン(Si)基板1との間にPN接合からなる容量を形成している。(ここでp-型第1のシリコン(Si)基板1の上面に設けられたn+型不純物領域2への接続は本発明者により出願されている受付番号1-31902の接続技術を使用している。)したがって、デジタル回路とアナログ回路を絶縁膜により島状に分離できるため、デジタル回路で発生するノイズの影響を受けないアナログ回路を構成することが可能である。又、アナログ回路構成に必要とされる容量を別の基板に、しかも素子領域下に形成できるため、高集積化も可能とすることができます。さらに、すべての素子をSOIで、しかも低濃度のシリコン基板上に形成できるため、高速化及び高信頼性をも可能にすることができます。

第2図は本発明の半導体装置における第2の実

施例の模式側断面図を示している。第2の実施例の構成はほぼ第1の実施例と同じであるが、より大きな容量を形成している点が異なっている。1～15は第1図と同じ物を、16は容量形成用薄膜絶縁膜、17は導電膜（タンクステンシリサイド膜）、18は多結晶シリコン膜を示している。

同図においては、p-型第1のシリコン(Si)基板1に設けたn+型不純物領域2とp-型第1のシリコン(Si)基板1との間に形成したPN接合容量の他に前記n+型不純物領域2直上部に前記n+型不純物領域2とタンクステンシリサイド膜17及び多結晶シリコン膜18の二層からなる容量用上層電極との間に容量形成用薄膜絶縁膜16を挟んで形成した絶縁膜容量を並列に形成しており、極めて大きな容量を形成することができる。

次いで本発明に係る半導体装置の製造方法の一実施例について第3図(a)～(e)及び第1図を参照して説明する。

第3図(a)

p-型第1のシリコン(Si)基板1の上面に砒素

をイオン注入してn+型不純物領域2を形成する。

第3図(b)

次いでp-型第2のシリコン(Si)基板4の下面に酸化膜3を成長させ、p-型第1のシリコン(Si)基板1上に約1100℃、N₂/O₂雰囲気で約2時間のアニールにより貼り合せる。次いで第2のシリコン(Si)基板4を研削し約5μm程度にする。

第3図(c)

次いで酸化膜、窒化膜を順次成長させる。（図示せず。この両膜はトレンチに酸化膜を埋め込む際のストッパー膜となる。）次いで通常のフォトリソグラフィー技術を利用し、まずp-型第2のシリコン(Si)基板4の一部に第1の素子分離領域を形成するために、窒化膜、酸化膜、p-型第2のシリコン(Si)基板4を開孔し第1のトレンチを形成する。次いで前記第1のトレンチに酸化膜6aを埋め込む。次いでp-型第2のシリコン(Si)基板4の一部に第2の素子分離領域及びp-型第1

のシリコン(Si)基板1に素子分離領域を形成するために、窒化膜、酸化膜、p-型第2のシリコン(Si)基板4、酸化膜3、p-型第1のシリコン(Si)基板1を開孔し第2のトレンチを形成する。次いで前記第2のトレンチに酸化膜6bを埋め込む。ここではp-型第2のシリコン(Si)基板に形成する素子分離領域は第1のトレンチと第2のトレンチの両方により形成されている。（ただしp-型第2のシリコン(Si)基板4に形成する素子分離領域とp-型第1のシリコン(Si)基板1に形成する素子分離領域が同一である場合はトレンチ形成を2回に分ける必要はない。）次いで通常のフォトリソグラフィー技術を利用し、レジスト及びトレンチ埋め込み酸化膜(6a, 6b)をマスク層として、燐をイオン注入してn-型ウエル領域5を形成する。

第3図(d)

次いで通常のフォトリソグラフィー技術を利用し、接続を取りたいn+型不純物領域2上の窒化膜、酸化膜、p-型第2のシリコン(Si)基板4、

酸化膜3にn+型不純物領域2を露出する開孔を形成する。次いで化学気相成長酸化膜を成長させ、異方性ドライエッティングをおこない前記開孔の側壁にのみ化学気相成長酸化膜11を残す。次いで選択化学気相成長タンクステン膜12を成長させ残された前記開孔を埋め込みn+型不純物領域2への接続を形成する。次いで窒化膜、酸化膜をエッティング除去する。

第3図(e)

次いでゲート酸化膜9、多結晶シリコン膜を順次成長させる。次いで通常のフォトリソグラフィー技術を利用し、多結晶シリコン膜をバーニングしゲート電極10を形成する。次いで通常のフォトリソグラフィー技術を利用し、レジスト、ゲート電極10及びトレンチ埋め込み酸化膜(6a, 6b)をマスク層として、砒素をイオン注入してn+型ソースドレイン領域7を、硼素をイオン注入してp+型ソースドレイン領域8を、それぞれ選択的に形成する。

第1図

次いでブロック用酸化膜13、燐珪酸ガラス(PSG)膜14を順次成長させる。次いで通常の技法を適用することにより電極コンタクト窓の形成、Al配線15の形成等をおこない半導体装置を完成する。

第1の実施例においては、p-型第1のシリコン(Si)基板1の上面に不純物領域からなる容量を形成したが、不純物領域からなる抵抗を形成してもよい。この場合、この抵抗を利用すればデジタルアナログコンバータ等が高集積に形成できる。

以上実施例に示したように、本発明の半導体装置によれば、デジタル回路とアナログ回路を容易に分離できるため、デジタル回路で発生するノイズの影響を受けないアナログ回路を構成することが可能である。又、アナログ回路構成に必要とされる容量を別の基板に、しかもトランジスタ、抵抗等の下に形成できるため、高集積化も可能とすることができる。さらにトランジスタ、抵抗等をSOIで、しかも低濃度のシリコン基板上に形成できるため、高速化及び高信頼性をも可能にする

ことができる。

[発明の効果]

以上説明のように本発明によれば、MIS型半導体装置において、絶縁膜を介して第1の半導体基板の上面及び第2の半導体基板の上面に素子が形成できるため、デジタル回路で発生するノイズの影響を受けないアナログ回路が形成できることによる高性能化を、又、素子領域下にアナログ回路構成に必要な容量を形成できることによる高集積化を、さらにすべての素子を低濃度のシリコン基板のSOI構造で形成できることによる高速化及び高信頼性を可能にすることができます。即ち、極めて高性能、高信頼且つ高集積を併せ持つ半導体集積回路を得ることができる。

4. 図面の簡単な説明

第1図は本発明の半導体装置における第1の実施例の模式側断面図、

第2図は本発明の半導体装置における第2の実

施例の模式側断面図、

第3図(a)～(e)は本発明の半導体装置における製造方法の一実施例の工程断面図、

第4図は従来の半導体装置の模式側断面図である。

図において、

- 1はp-型第1のシリコン(Si)基板、
- 2はn+型不純物領域、
- 3は酸化膜、
- 4はp-型第2のシリコン(Si)基板、
- 5はn-型ウエル領域、
- 6a, 6bはトレンチ埋め込み酸化膜、
- 7はn+型ソースドレイン領域、
- 8はp+型ソースドレイン領域、
- 9はゲート酸化膜、
- 10はゲート電極、
- 11は側壁絶縁膜(化学気相成長酸化膜)、
- 12は埋め込み導電膜(選択化学気相成長タンクステン膜)、
- 13はブロック用酸化膜、

14は燐珪酸ガラス(PSG)膜、

15はAl配線、

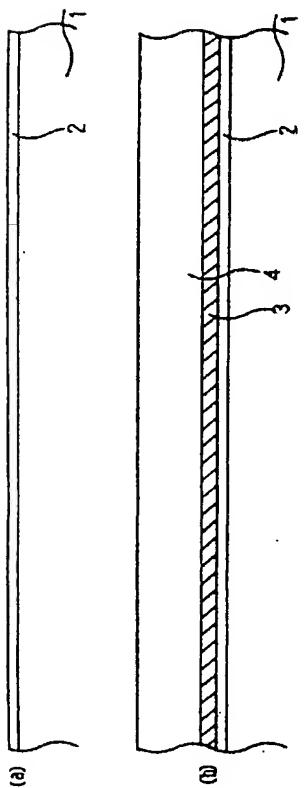
16は容量形成用薄膜絶縁膜、

17は導電膜(タンゲステンシリサイド膜)、

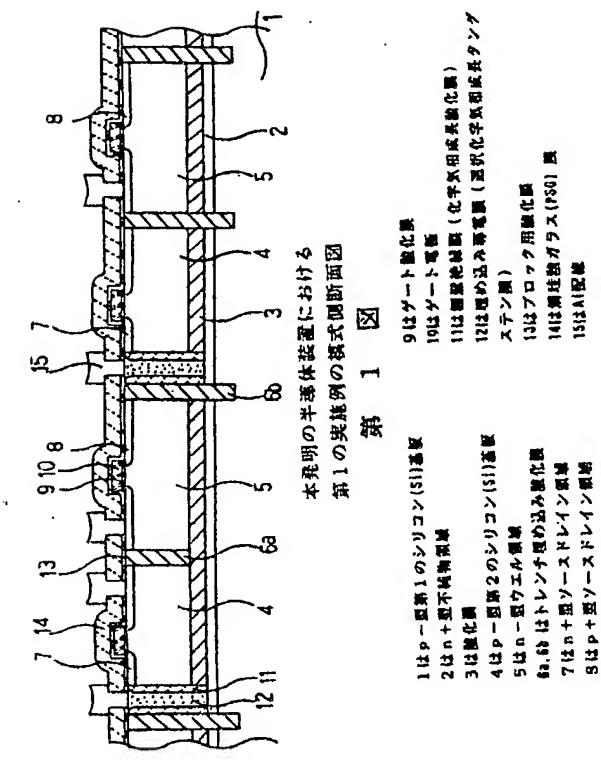
18は多結晶シリコン膜

を示す。

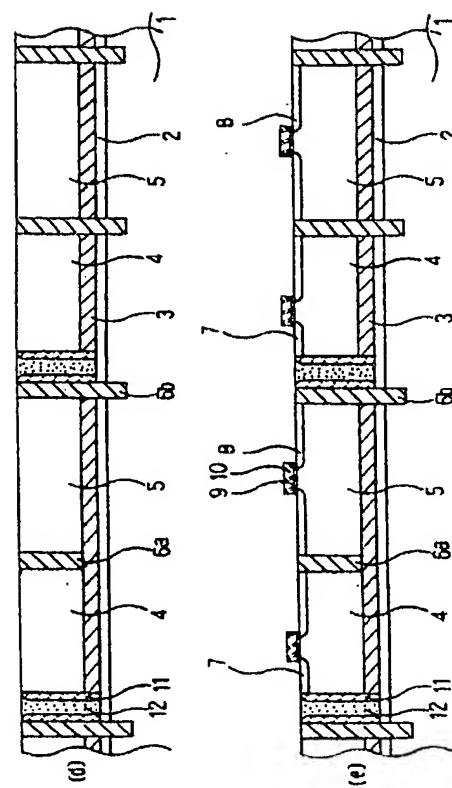
特許出願人 白土猛英



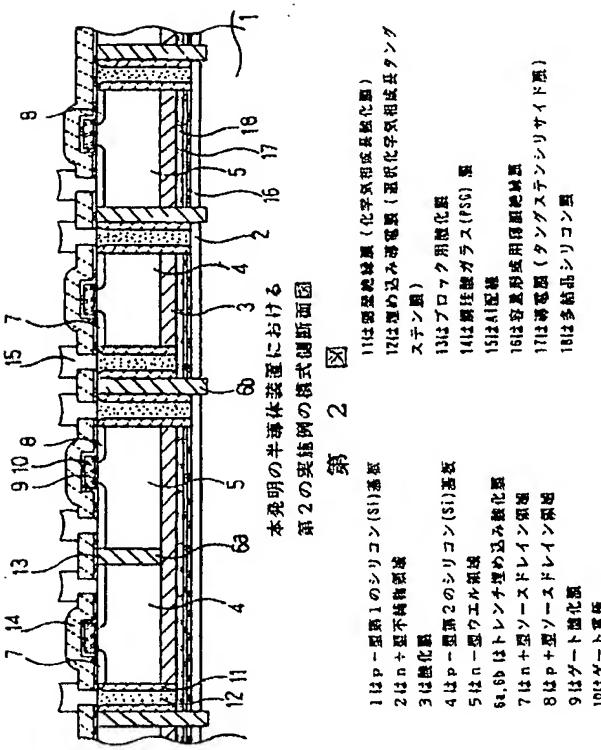
本発明の半導体装置における
製造方法の一実施例の工程断面図
第3図



本発明の半導体装置における
第1の実施例の構式断面図
第1図

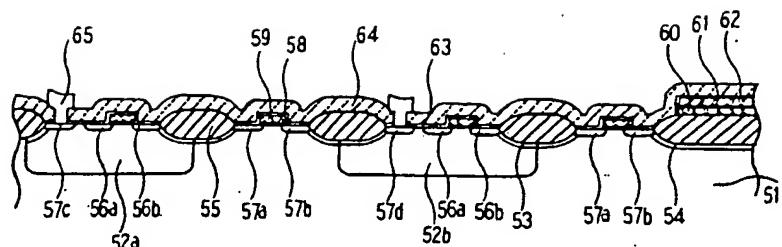


本発明の半導体装置における
製造方法の一実施例の工程断面図
第3図



本発明の半導体装置における
第2の実施例の構式断面図
第2図

1はP型第1のシリコン(Si)基板
2はn+型不純物領域
3は酸化膜
4はP型第2のシリコン(Si)基板
5はn型ワエール領域
6はP型ワエール埋め込み酸化膜
7はn+型ソース/ドレイン領域
8はP+型ソース/ドレイン領域
9はゲート酸化膜
10はゲート電極
11は酸化被膜
12は埋め込み導電膜
13はプロック用酸化膜
14は酸化膜
15はn型ワエール領域
16はトレンチ埋め込み酸化膜
17はn+型ソース/ドレイン領域
18はP+型ソース/ドレイン領域
19は多結晶シリコン層
20は電極



従来の半導体装置
の模式断面図
第4図